

SWITCHING POWER SUPPLY

Patent Number: JP2000134923

Publication date: 2000-05-12

Inventor(s): IMAI KATSUNORI; MASUOKA HIRONOBU; HANABUSA KAZUYOSHI

Applicant(s): TDK CORP

Requested Patent: JP2000134923 (JP00134923)

Application: JP19980319992 19981023

Priority Number(s):

IPC Classification: H02M3/28 ; H02M3/335

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a switching power supply which can control the output stably at any load from no load to full load by eliminating the instability of the output stabilizing control caused by the charge and discharge current determined by the electrostatic capacity of a main switching element.

SOLUTION: This equipment is provided with a MOSFET Q10 as a switching element for turning on and off the current in a primary winding of a transformer T, a rectifying and smoothing circuit for rectifying and smoothing the induced voltage in a secondary winding of the transformer T, and a stabilization control circuit for controlling the current in the MOSFET Q10 according to the output voltage of the rectifying and smoothing circuit. A current detector DT for detecting the current in the MOSFET Q10 is inserted between one end of the primary winding which is not connected to the MOSFET Q10 and a DC power supply or between the primary winding and the MOSFET Q10.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-134923

(P2000-134923A)

(43)公開日 平成12年5月12日(2000.5.12)

(51)Int.Cl.⁷

H 02 M 3/28
3/335

識別記号

F I

H 02 M 3/28
3/335

テマコード(参考)

H 5 H 7 3 0
B

審査請求 未請求 請求項の数6 FD (全8頁)

(21)出願番号

特願平10-319992

(22)出願日

平成10年10月23日(1998.10.23)

(71)出願人 000003067

ティーディーケイ株式会社

東京都中央区日本橋1丁目13番1号

(72)発明者 今井 克憲

東京都中央区日本橋一丁目13番1号ティーディーケイ株式会社内

(72)発明者 増岡 宏信

東京都中央区日本橋一丁目13番1号ティーディーケイ株式会社内

(74)代理人 100079290

弁理士 村井 隆

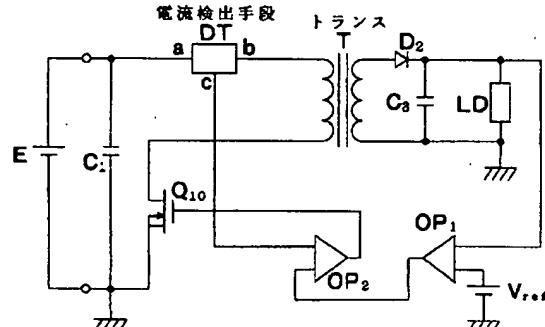
最終頁に続く

(54)【発明の名称】スイッチング電源装置

(57)【要約】

【課題】主スイッチング素子の持つ静電容量の充放電電流に起因する出力安定化制御の不安定性を除去し、無負荷から全負荷に至るまで安定に出力制御可能なスイッチング電源装置を提供する。

【解決手段】トランジスタTの一次巻線の電流を断続するスイッチング素子としてのMOS-FET Q10と、トランジスタTの二次巻線の誘起電圧を整流平滑する整流平滑回路と、該整流平滑回路の出力電圧に応じてMOS-FET Q10に流れる電流を制御する安定化制御回路とを備えており、MOS-FET Q10に流れる電流を検出する電流検出手段DTを、前記一次巻線のMOS-FET Q10の接続されない側と直流電源間、又は前記一次巻線とMOS-FET Q10間に挿入した構成である。



【特許請求の範囲】

【請求項1】 トランスの一次巻線の電流を断続するスイッチング素子と、前記トランスの二次巻線の誘起電圧を整流平滑する整流平滑回路と、該整流平滑回路の出力電圧に応じて前記スイッチング素子に流れる電流を制御する安定化制御回路とを備えたスイッチング電源装置において、

前記スイッチング素子に流れる電流を検出する電流検出手段を、前記一次巻線の前記スイッチング素子の接続されない側と直流電源間、又は前記一次巻線と前記スイッチング素子間に挿入したことを特徴とするスイッチング電源装置。

【請求項2】 チョークコイルの電流を断続するスイッチング素子と、前記チョークコイルの出力側の誘起電圧を整流平滑する整流平滑回路と、該整流平滑回路の出力電圧に応じて前記スイッチング素子に流れる電流を制御する安定化制御回路とを備えたスイッチング電源装置において、

前記スイッチング素子に流れる電流を検出する電流検出手段を、前記チョークコイルの入力側と直流電源間、又は前記チョークコイル出力側と前記スイッチング素子間に挿入したことを特徴とするスイッチング電源装置。

【請求項3】 前記電流検出手段が変流器である請求項1又は2記載のスイッチング電源装置。

【請求項4】 前記電流検出手段は、前記一次巻線の前記スイッチング素子の接続されない側と直流電源間、又は前記一次巻線と前記スイッチング素子間に検出抵抗を挿入し、第1及び第2のトランジスタのベースを共通に接続したカレントミラー回路の前記第2のトランジスタのエミッタを前記検出抵抗の一端に接続しつつコレクタを定電流源又は抵抗に接続し、前記第1のトランジスタのエミッタは直列抵抗を介して前記検出抵抗の他端に接続し、前記検出抵抗に流れる被検出電流を前記第1のトランジスタのコレクタ側にて検出するものである請求項1記載のスイッチング電源装置。

【請求項5】 前記電流検出手段は、前記チョークコイルの入力側と直流電源間、又は前記チョークコイル出力側と前記スイッチング素子間に検出抵抗を挿入し、第1及び第2のトランジスタのベースを共通に接続したカレントミラー回路の前記第2のトランジスタのエミッタを前記検出抵抗の一端に接続しつつコレクタを定電流源又は抵抗に接続し、前記第1のトランジスタのエミッタは直列抵抗を介して前記検出抵抗の他端に接続し、前記検出抵抗に流れる被検出電流を前記第1のトランジスタのコレクタ側にて検出するものである請求項2記載のスイッチング電源装置。

【請求項6】 前記スイッチング素子が電界効果トランジスタである請求項1、2、3、4又は5記載のスイッチング電源装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、定電流帰還ループを備えた電流モード制御形のスイッチング電源装置に関する。

【0002】

【従来の技術】 従来から、大容量のDC-DCコンバータの主スイッチング素子として電力用のMOS-FET(メタル・オキサイド・セミコンダクタ・電界効果トランジスタ)が使用されている。

【0003】 図1は主スイッチング素子として電力用のMOS-FETを用いたスイッチング電源装置の1例であり、Tは一次巻線及び二次巻線を有するトランス、Q10はMOS-FET、OP1、OP2は演算増幅器、R11は電流検出抵抗である。トランスTの一次巻線、MOS-FET Q10、電流検出抵抗R11の直列回路に対して直流電源Eからの直流電源電圧が印加されている。C1は入力側のコンデンサであり、直流電源Eに並列接続されている。トランスTの二次巻線には整流平滑回路を構成するダイオードD2及びコンデンサC3が接続され、これを介して負荷LDが二次巻線に接続されている。演算増幅器OP1は負荷両端の電圧、すなわち出力電圧を基準電圧Vrefと比較し、重負荷で出力電圧が低下しているときは、高い比較出力電圧を演算増幅器OP2に印加し、軽負荷で出力電圧が上昇しているときは、低い比較出力電圧を演算増幅器OP2の一端に印加する。従って、重負荷の場合、演算増幅器OP2の一端の比較出力電圧が高いため、その他端に加わる電流検出抵抗R11の検出値が大きくなるまでMOS-FET Q10のオン状態が継続される(ターンオフのタイミングが遅れる)。逆に軽負荷の場合、演算増幅器OP2の一端の比較出力電圧が低いため、その他端に加わる電流検出抵抗R11の検出値が小さな値でMOS-FET Q10がターンオフする(ターンオフのタイミングが早まる)。

【0004】 このように、図1の回路は、定電流帰還ループを備えた電流モード制御形のスイッチング電源装置を構成することで、トランス二次側の出力電圧の安定化を図っている。

【0005】

【発明が解決しようとする課題】 ところで、図1のように、電流検出抵抗R11をMOS-FET Q10のソースとグランド間に挿入する場合は回路構成は簡単になるが、図中点線にて示したMOS-FET Q10のゲート容量(C_{iss} : ゲートからみたFET全容量)、ゲート・ドレイン間容量、ゲート・ソース間容量による影響を電流検出抵抗R11の検出電圧は受ける。すなわち、MOS-FET Q10がオンする際に、図12(A)のように、ゲート容量(C_{iss})の充電電流と、ゲート・ドレイン間容量、ゲート・ソース間容量の放電電流とに起因するスパイク状電流がトランス一次電流に重畠される。このため、重負荷乃至全負荷時にはMOS-FET Q1

0をターンオフするトランス一次電流の検出レベルが前記スパイク状電流のピークよりも高いため問題は生じないが、無負荷乃至軽負荷にかけてMOS-FET Q10をターンオフするトランス一次電流の検出レベルが前記スパイク状電流のピークよりも低くなる場合が生じ、出力電圧安定化動作を不安定にする要因となっていた。つまり、トランス一次電流が前記スパイク状電流のピーク以下だと、前記スパイク状電流をトランス一次電流と誤認して制御してしまう危険性がある。

【0006】なお、公知技術として特開平4-217859号があり、MOS-FETのソース・グランド間に電流検出手段を挿入し、前記スパイク状電流はピーク検出回路の抵抗、コンデンサによるフィルタ作用で除去するようにしている。しかし、MOS-FETが大電力用であって、前記スパイク状電流のピークが高く、フィルタ作用による前記スパイク状電流の除去が不完全になると動作が不安定となるし、スイッチング周波数を高速化した場合、抵抗、コンデンサの定数の選定も困難になる。

【0007】また、別の従来技術として、主スイッチング素子がターンオンしてスパイク状電流が発生する期間(数nsec乃至数百nsec)だけ電流検出回路を切り離して上記問題を回避したものがある。しかし、最小オン期間がこの不感時間で決まってしまうため、高周波化が難しく、無負荷近くでの動作が不安定となることがあった。

【0008】本発明は、上記の点に鑑み、主スイッチング素子の持つ静電容量の充放電電流に起因する出力安定化制御の不安定性を除去し、無負荷から全負荷に至るまで安定に出力制御可能なスイッチング電源装置を提供することを目的とする。

【0009】本発明のその他の目的や新規な特徴は後述の実施の形態において明らかにする。

【0010】

【課題を解決するための手段】上記目的を達成するため、本願請求項1の発明は、トランスの一次巻線の電流を断続するスイッチング素子と、前記トランスの二次巻線の誘起電圧を整流平滑する整流平滑回路と、該整流平滑回路の出力電圧に応じて前記スイッチング素子に流れる電流を制御する安定化制御回路とを備えたスイッチング電源装置において、前記スイッチング素子に流れる電流を検出する電流検出手段を、前記一次巻線の前記スイッチング素子の接続されない側と直流電源間、又は前記一次巻線と前記スイッチング素子間に挿入したことを特徴としている。

【0011】請求項2の発明は、チョークコイルの電流を断続するスイッチング素子と、前記チョークコイルの出力側の誘起電圧を整流平滑する整流平滑回路と、該整流平滑回路の出力電圧に応じて前記スイッチング素子に流れる電流を制御する安定化制御回路とを備えたスイッ

チング電源装置において、前記スイッチング素子に流れる電流を検出する電流検出手段を、前記チョークコイルの入力側と直流電源間、又は前記チョークコイル出力側と前記スイッチング素子間に挿入したことを特徴としている。

【0012】請求項3の発明は、前記請求項1又は2において、前記電流検出手段が変流器であることを特徴としている。

【0013】請求項4の発明は、前記請求項1において、前記電流検出手段が、前記一次巻線の前記スイッチング素子の接続されない側と直流電源間、又は前記一次巻線と前記スイッチング素子間に検出抵抗を挿入し、第1及び第2のトランジスタのベースを共通に接続したカレントミラー回路の前記第2のトランジスタのエミッタを前記検出抵抗の一端に接続しつコレクタを定電流源又は抵抗に接続し、前記第1のトランジスタのエミッタは直列抵抗を介して前記検出抵抗の他端に接続し、前記検出抵抗に流れる被検出電流を前記第1のトランジスタのコレクタ側にて検出することを特徴としている。

【0014】請求項5の発明は、前記請求項2において、前記電流検出手段が、前記チョークコイルの入力側と直流電源間、又は前記チョークコイル出力側と前記スイッチング素子間に検出抵抗を挿入し、第1及び第2のトランジスタのベースを共通に接続したカレントミラー回路の前記第2のトランジスタのエミッタを前記検出抵抗の一端に接続しつコレクタを定電流源又は抵抗に接続し、前記第1のトランジスタのエミッタは直列抵抗を介して前記検出抵抗の他端に接続し、前記検出抵抗に流れる被検出電流を前記第1のトランジスタのコレクタ側にて検出することを特徴としている。

【0015】請求項6の発明は、前記請求項1、2、3、4又は5において、前記スイッチング素子が電界効果トランジスタであることを特徴としている。

【0016】

【発明の実施の形態】以下、本発明に係るスイッチング電源装置の実施の形態を図面に従って説明する。

【0017】図1は本発明の第1の実施の形態であって、定電流帰還ループを備えた電流モード制御形のスイッチング電源装置(DC-DCコンバータ)において電流検出手段DTを、トランスTの一次巻線のスイッチング素子の接続されない側と直流電源E間に挿入している。スイッチング素子としてのMOS-FET Q10のソースはグランドに直結されている。

【0018】前記電流検出手段DTは直流電源Eの正側に挿入されているため、グランドレベルを基準とした電流検出値を得るための工夫が必要である。図2はこの点に配慮した電流検出手段DTの第1具体例を示す。この電流検出手段DTはカレントミラー回路を利用した電流検出回路であって、第1及び第2のPNPトランジスタQ1、Q2のベースを共通に接続したカレントミラー回路

の前記第2のトランジスタQ2のエミッタを検出抵抗R1の一端（電流流出端）bに接続しかつコレクタを定電流源1に接続し、前記第1のトランジスタQ1のエミッタは直列抵抗R2を介して検出抵抗R1の他端（電流流入端）aに接続し、検出抵抗R1を電流検出線路に直列に挿入している。そして、前記検出抵抗R1に流れる被検出電流 I_{in} を、第1のトランジスタQ1のコレクタ側の検出信号電流 I_{out} から検出する構成となっている。

【0019】なお、モノリシックの対のトランジスタをQ1、Q2に使用することが望ましい。また、電流検出線路は、グランド線路に対して高い電位となっていることが前提であり、トランジスタQ1のコレクタとグランド間にトランジスタQ1の保護用抵抗R31、出力検出用抵抗R32を接続して、検出信号電流 I_{out} に比例した検出信号電圧（電流検出値）を出力端子cより取り出している。

【0020】前記第1のトランジスタQ1のエミッタを直列抵抗R2を介して検出抵抗R1に接続した図2の回路の場合、検出信号電流 I_{out} が被検出電流 I_{in} に対しほぼリニアに変化するから、抵抗R32の両端の検出信号電圧からトランジスタTの一次電流（MOS-FET Q10の電流）を検出してスイッチング電源装置の出力電圧の安定化制御を実行できる。なお、その他の構成は前述した図1と同様である。

【0021】図12（B）は全負荷時及び軽負荷時における前記検出抵抗R1に流れる被検出電流 I_{in} の例であり、MOS-FET Q10のゲート容量（ C_{iss} ）、ゲート・ドレイン間容量、ゲート・ソース間容量による影響は受けていないことが判る。

【0022】この第1の実施の形態によれば、次の通りの効果を得ることができる。

【0023】(1) 電流検出手段DTを、トランジスタTの一次巻線のスイッチング素子の接続されない側と直流電源E間に挿入したので、電流検出手段DT内の検出抵抗R1に流れる被検出電流 I_{in} は、MOS-FET Q10のゲート容量（ C_{iss} ）、ゲート・ドレイン間容量、ゲート・ソース間容量による影響を受けない。このため、無負荷から全負荷に至るまで安定した出力安定化制御が可能である。

【0024】(2) 電流検出手段DTとして図2のカレントミラー回路を利用した電流検出回路を用いることで、グランドレベルを基準とした電流検出値を容易に得ることができ、しかも被検出電流 I_{in} に正比例した電流検出値が得られ、高精度の制御が可能である。

【0025】図3は本発明の第2の実施の形態を示す。この場合、電流検出手段DTを、トランジスタTの一次巻線とスイッチング素子間に挿入している。スイッチング素子としてのMOS-FET Q10のソースはグランドに直結されている。その他の構成及び作用効果は前述の第1の実施の形態と同様である。

【0026】図4は本発明の第3の実施の形態であって、トランジスタの代わりにチョークコイルCHを用いたチョッパー型のスイッチング電源装置（DC-DCコンバータ）の例である。この場合、電流検出手段DTを、チョークコイルCHの入力側（スイッチング素子の接続されない側）と直流電源E間に挿入している。スイッチング素子としてのMOS-FET Q10のソースはグランドに直結されている。なお、その他の構成は前述の第1の実施の形態と同様であり、同一又は相当部分に同一符号を付した。

【0027】この第3の実施の形態の場合、チョッパー方式の動作原理である点を除けば、出力安定化のための構成は前述した第1の実施の形態と同様であり、同様の作用効果を得ることができる。

【0028】図5は本発明の第4の実施の形態であって、トランジスタの代わりにチョークコイルCHを用いたチョッパー型のスイッチング電源装置（DC-DCコンバータ）の例である。この場合、電流検出手段DTを、チョークコイルCHの出力側とスイッチング素子としてのMOS-FET Q10間に挿入している。但し、整流平滑回路のダイオードD2はMOS-FET Q10のドレンに接続されている。MOS-FET Q10のソースはグランドに直結されている。なお、その他の構成及び作用効果は前述の第3の実施の形態と同様であり、同一又は相当部分に同一符号を付した。

【0029】図6は本発明の第5の実施の形態であって、トランジスタの代わりにチョークコイルCHを用いたチョッパー型のスイッチング電源装置（DC-DCコンバータ）の例である。この場合、電流検出手段DTを、チョークコイルCHの出力側と整流平滑回路のダイオードD2との接続点とMOS-FET Q10との間に挿入している。MOS-FET Q10のソースはグランドに直結されている。なお、その他の構成及び作用効果は前述の第4の実施の形態と同様であり、同一又は相当部分に同一符号を付した。

【0030】図2の電流検出手段DTは検出抵抗R1の電流流入端aとグランド間の電圧が変化するのに伴って検出信号電圧（電流検出値）が変動するアーリー効果と呼ばれる現象が発生するが、図7の電流検出手段DTの第2具体例では上記のアーリー効果を解消するためにウィルソンのカレントミラー回路（ウィルソンミラー回路）を応用した回路構成を示している。この図において、第1のトランジスタQ1のコレクタ側に第1のトランジスタQ1と同極性の第3のトランジスタQ3を直列に挿入し、トランジスタQ1、Q2のベースを第3のトランジスタQ3のエミッタに接続し、第3のトランジスタQ3のベースを第2のトランジスタQ2のコレクタに接続し、Q3のコレクタを出力端子cに接続している。なお、その他の構成は前述した図2の電流検出手段DTの第1具体例と同様である。

【0031】この図7の第2具体例では、アーリー効果を解消して、検出抵抗R1の電流流入端aとグランド間の電圧が変化するのに伴う検出信号電圧（電流検出値）の変動を除去でき、電流検出精度のいっそうの改善を図ることができ、前述した各実施の形態に適用できる。

【0032】図8は各実施の形態で使用可能な電流検出手段DTの第3具体例であり、図2の第1具体例における第2のトランジスタQ2のコレクタ側の定電流源を抵抗R4, R5及び定電圧ダイオードZDで実現している。また、第1のトランジスタQ1のコレクタとグランド間に検出信号電流I_{out}を流す抵抗R31, R32の直列回路が接続され、抵抗R31, R32の接続点が出力端子cとなっている。その他の構成は前述した第1具体例と同様である。

【0033】図9は各実施の形態で使用可能な電流検出手段DTの第4具体例であり、図7の第2具体例における第2のトランジスタQ2のコレクタ側の定電流源を抵抗R4, R5及び定電圧ダイオードZDで実現している。また、第3のトランジスタQ3のコレクタとグランド間に検出信号電流I_{out}を流す抵抗R31, R32の直列回路が接続され、抵抗R31, R32の接続点が出力端子cとなっている。その他の構成は前述した第2具体例と同様である。

【0034】図10は各実施の形態で使用可能な電流検出手段DTの第5具体例であり、変流器（カレントトランス）CT及びこれによる電流検出値を電圧に変換する電流-電圧変換器A1で構成されたものである。この電流-電圧変換器A1の電圧出力値を図1等の演算增幅器OP2に加えればよい。

【0035】なお、本発明は、定電流帰還ループを備えた電流モード制御形のスイッチング電源装置であれば、種々の回路構成に適用可能であることは明らかである。

【0036】また、電流検出手段DTの第1乃至第4具体例において、出力端子c側にローパスフィルタを更に付加した構成とすることもできる。

【0037】以上本発明の実施の形態について説明してきたが、本発明はこれに限定されることなく請求項の記載の範囲内において各種の変形、変更が可能なことは当業者には自明であろう。

【0038】

【発明の効果】以上説明したように、本発明に係るスイッチング電源装置によれば、主スイッチング素子の持つ

静電容量の充放電電流に影響されることなく、無負荷から全負荷に至るまで安定した制御が可能であり、とくに出力電力の増大、スイッチング周波数の高速化に対応可能な利点がある。

【図面の簡単な説明】

【図1】本発明に係るスイッチング電源装置の第1の実施の形態を示す回路図である。

【図2】各実施の形態で使用可能な電流検出手段DTの第1具体例の回路図である。

【図3】本発明の第2の実施の形態を示す回路図である。

【図4】本発明の第3の実施の形態を示す回路図である。

【図5】本発明の第4の実施の形態を示す回路図である。

【図6】本発明の第5の実施の形態を示す回路図である。

【図7】各実施の形態で使用可能な電流検出手段DTの第2具体例の回路図である。

【図8】各実施の形態で使用可能な電流検出手段DTの第3具体例の回路図である。

【図9】各実施の形態で使用可能な電流検出手段DTの第4具体例の回路図である。

【図10】各実施の形態で使用可能な電流検出手段DTの第5具体例の回路図である。

【図11】従来のスイッチング電源装置の回路図である。

【図12】従来と本発明の各実施の形態の電流検出波形を対比して示す波形図である。

【符号の説明】

A1 電流-電圧変換器

C1, C3 コンデンサ

CH チョークコイル

D2 ダイオード

E 直流電源

LD 負荷

Q1, Q2, Q3 トランジスタ

Q10 MOS-FET

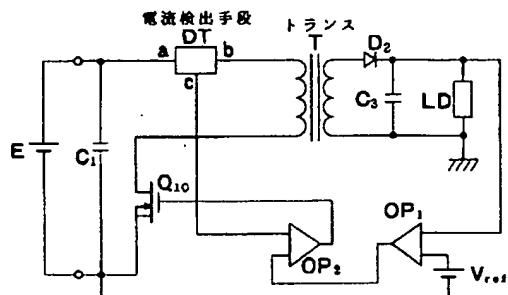
OP1, OP2 演算増幅器

R1, R2, R4, R5, R11, R31, R32 抵抗

T トランス

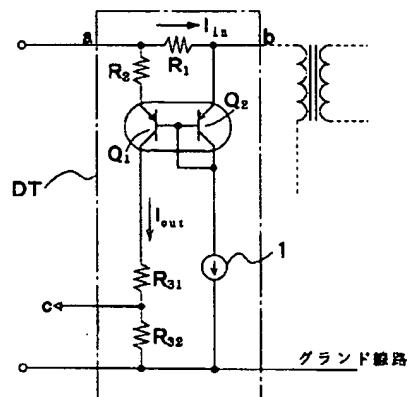
ZD 定電圧ダイオード

【図1】

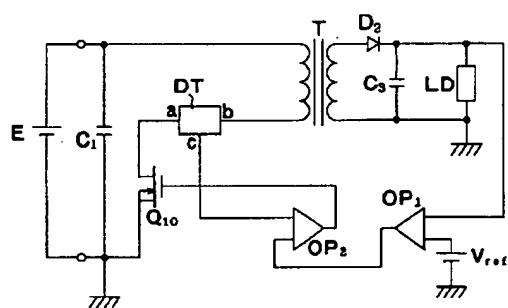


Q₁₀:MOS-FET、OP₁、OP₂:演算増幅器、LD:負荷

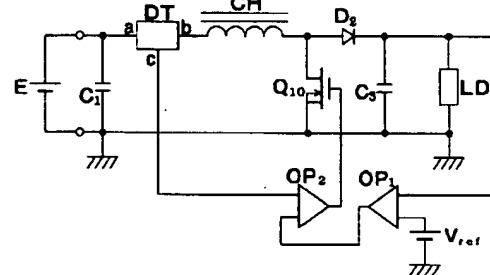
【図2】



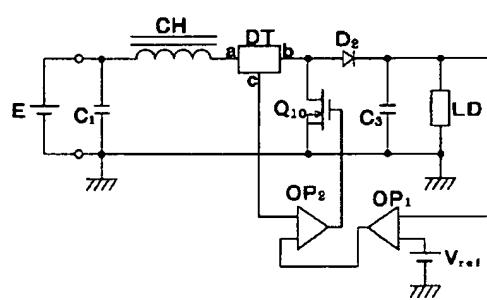
【図3】



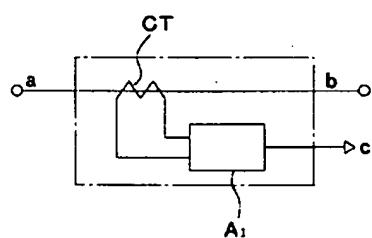
【図4】



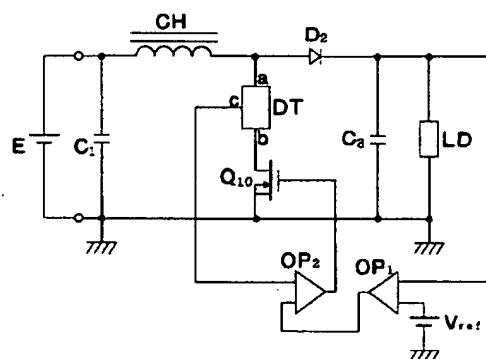
【図5】



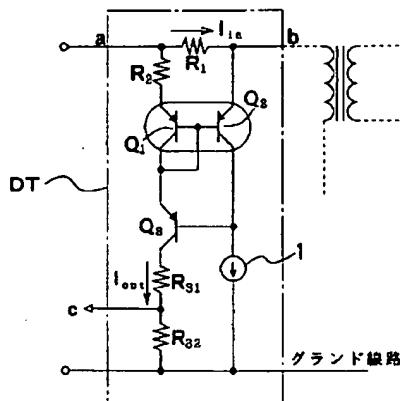
【図10】



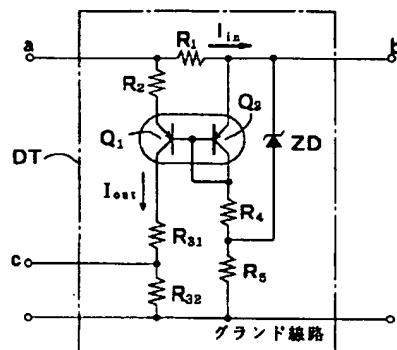
【図6】



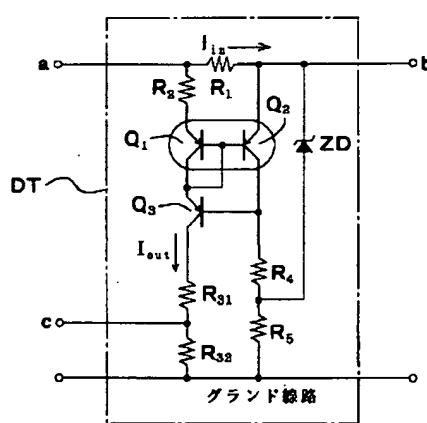
【図7】



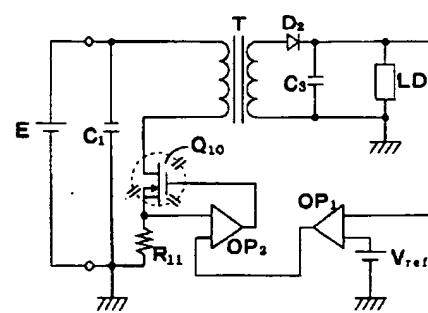
【図8】



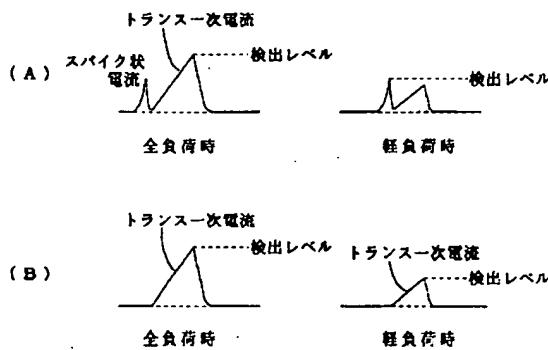
【図9】



【図11】



【図12】



:(8) 000-134923 (P2000-13\$48

フロントページの続き

(72)発明者 花房 一義
東京都中央区日本橋一丁目13番1号ティー
ディーケイ株式会社内

Fターム(参考) 5H730 AA04 BB14 BB43 BB57 DD04
EE02 EE07 EE57 EE59 FD01
FD41